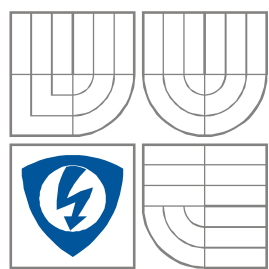


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**
ÚSTAV AUTOMATIZACE A MĚŘICÍ TECHNIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF CONTROL AND INSTRUMENTATION

VYUŽITÍ PROGRAMOVATELNÉHO HRADLOVÉHO POLE COMPACT RIO PRO MĚŘENÍ VIBRACÍ

EMBEDDED CONTROL SYSTEM COMPACT RIO IN VIBRATION MEASUREMENT

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE
AUTHOR

PETR PŠENČÍK

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. STANISLAV KLUSÁČEK

BRNO 2012

ORIGINÁLNÍ ZADÁNÍ DIPLOMOVÉ / BAKALÁŘSKÉ PRÁCE

Abstrakt

Bakalářská práce se zabývá měřením vibrací na programovatelném hradlovém poli Compact RIO, pomocí měřicí aplikace vytvořené v grafickém vývojovém prostředí LabVIEW. V práci jsou popsány možnosti měření vibrací a dostupné prostředky. Dále je vysvětlena funkce programovatelného hradlového pole a zařízení CompactRIO. Následuje seznámení s prostředím LabVIEW a jeho výhodami. Poté je představena vytvořená měřicí aplikace ve dvou částech: hlavní program pro zobrazení dat a kód, implementovaný do programovatelného hradlového pole. V závěru je výsledná aplikace porovnávána s komerčním systémem pro měření vibrací a zhodnocení dosažených výsledků.

Klíčová slova

Měření vibrací, Compact RIO, FPGA, programovatelné hradlové pole, LabVIEW

Abstract

This bachelor thesis shows the way how to measure vibrations by field of programmable gate arrays in Compact RIO, using the measurement application created in LabVIEW. Text describes possibilities of vibration measurement and devices appropriate to work with. Then the field of programmable gate arrays is introduced and the Compact RIO as well. The following is a description of LabVIEW software and its benefits. The next chapter is presentation of created application showed in two phases: the main program for projection of measured values and the code implemented into the field of programmable gate arrays. In the last part of the thesis the measurement application is confronted to a commercial measurement system for vibration analysis and consequently the evaluated result is shown.

Keywords

Vibrations measurement, Compact RIO, FPGA, gate of programmable gate arrays, LabVIEW

Bibliografická citace:

PŠENČÍK, P. *Využití programovatelného hradlového pole Compact RIO pro měření vibrací*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2012. 43s. Vedoucí bakalářské práce Ing. Stanislav Klusáček.

Prohlášení

„Prohlašuji, že svou bakalářskou práci na téma Využití programovatelného hradlového pole Compact RIO pro měření vibrací jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: **28.Května 2012**

.....
podpis autora

Poděkování

Děkuji vedoucímu diplomové (*bakalářské*) práce Ing. Stanislavu Klusáčkovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne: **28. května 2012**

.....
podpis autora

Obsah

1.	Úvod	9
2.	Vibrace a jejich měření.....	10
2.1	Způsoby měření vibrací.....	10
2.1.1	Mechanická metoda měření vibrací	11
2.1.2	Bezkontaktní metoda měření vibrací.....	11
2.1.3	Interferenční metoda měření vibrací	11
2.2	ICP senzory	12
2.3	Typy snímačů.....	13
2.3.1	Elektrodynamický snímač	13
2.3.2	Piezoelektrický snímač.....	13
2.3.3	Kapacitní snímač.....	13
2.3.4	Snímač s vetknutým nosníkem.....	13
2.4	Ukázka akcelerometrů.....	13
2.4.1	Delta Tron akcelerometry Brüel&Kjær (4507B a 4508B).....	13
2.5	Konkurenční řešení pro měření vibrací.....	14
2.5.1	Multianalyzátor Brüel&Kjær PULSE	14
3.	FPGA.....	16
3.1	Popis.....	16
3.2	Programování FPGA pomocí LabVIEW FPGA	17
3.3	Výhody užití FPGA	18
4.	Compactrio	20
4.1	Získávání dat	20
4.2	Moduly	21
4.2.1	NI-9234	21
4.2.2	NI-9263	22
5.	Labview	24
5.1	Čelní panel (Front Panel)	24
5.2	Blokový diagram (Block Diagram).....	25
5.3	Datové typy	25
6.	aplikace pro měření vibrací	27
6.1	Obecný popis.....	27
6.2	Synchronizace	27
6.3	Aplikace FPGA	28

6.4	Hlavní aplikace	31
6.4.1	Popis důležitých subVI:	31
6.5	FFT.....	34
6.6	Generátor signálu	35
6.7	Srovnání aplikace s Labshop Pulse od B&K	36
7.	Závěr.....	38

1. ÚVOD

Vzhledem k tomu, že měření vibrací mnohdy souvisí s vyhodnocováním stavu strojů a ložisek během provozu, bývají na tyto analýzy kladeny značné nároky. Nejčastěji se jedná o robustnost z hlediska fyzického namáhání, malé rozměry, nízká poruchovost a odolnost vůči vyšším provozním teplotám, tlakům a vlhkostem.

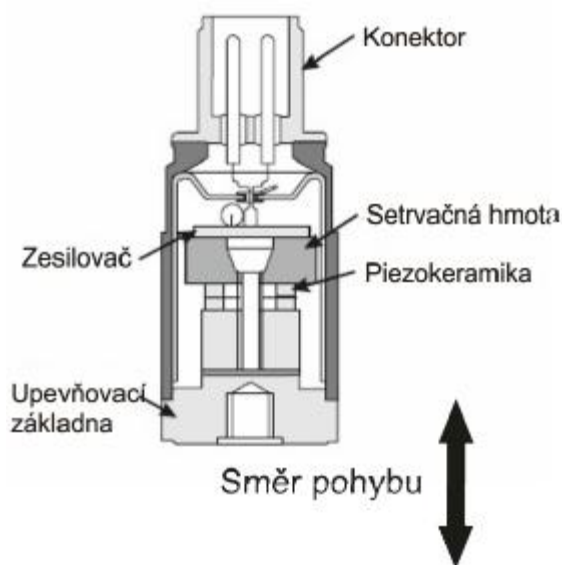
Zařízení CompactRIO od firmy National Instruments tyto požadavky splňuje. Svými vlastnostmi spojuje výhody měřících a řídicích systémů na bázi PLC a průmyslových PC. Je vhodné pro použití tam, kde nedostačuje výpočetní výkon programovatelných automatů a zároveň je vyloučeno nasazení průmyslových počítačů kvůli jejich velikosti, nízké odolnosti a nedostatečné spolehlivosti.

Úkolem této práce bude porozumět problematice měření vibrací, možnostem a výhodám použití programovatelného hradlového pole, naučit se programovat tato pole ve vývojovém prostředí LabVIEW a realizace měřicí aplikace.

Výsledná aplikace bude konfrontována s komerčním zařízením pro vibrační analýzu a podle dosaženého výsledku bude celá práce zhodnocena.

2. VIBRACE A JEJICH MĚŘENÍ

Pojem vibrace znamená mimo jiné kmitavý pohyb tuhých těles či hmotných bodů. Přesněji řečeno je to časová změna polohy vybraného bodu na objektu porovnávána ke vztažnému, neboli referenčnímu bodu. Pro tento účel lze použít relativní senzory kmitavého pohybu, protože nás zajímá poloha objektu relativně k pevnému vztažnému bodu. Takto však nelze měřit pohybující se objekty a objekty u kterých nelze najít v okolí pevný referenční bod – například rozsáhlé či velmi hmotné objekty, jejichž vibrace mohou být přenášeny do okolí. Z tohoto důvodu se v praxi častěji používají absolutní senzory kmitavého pohybu, u nichž je referenční bod vyroben uvnitř senzoru a za známých dynamických podmínek se vůči němu měří poloha. V této práci jsou použity absolutní senzory vibrací.



Obr.2.1 absolutní snímač vibrací

2.1 Způsoby měření vibrací

Pro měření vibrací je důležité zvolit vhodnou metodu, která nebude zatížena chybou vlivem nevhodné volby snímače. Mezi základní způsoby jak lze výchylku polohy nebo zrychlení měřit jsou tyto:

- Mechanické měření
- Bezkontaktní měření
- Interferenční měření

2.1.1 Mechanická metoda měření vibrací

Jedná se o kategorii zařízení, které při snímání vibrací přichází do styku s měřenou součástí. V raných fázích měření se používaly mechanické snímače s mechanickým záznamem výchylky pomocí systému přitlačných pružin ramének a jiných převodů. Postupem času byl tento způsob překonán a v současnosti se ke snímání vibrací s mechanickým kontaktem používají převážně akcelerometry, které jsou pevně či pružně spojeny s měřenou součástí. K propojení snímače a řídicí jednotky se používá datových kabelů. Tento způsob propojení je vhodný zejména pro menší rozměry snímače. Pomocí akcelerometrů se nejčastěji měří vibrace nerotačních součástí, rámců strojů a součástí, na které je možné snímač upevnit. Výstupem takového snímače je pak přímo hodnota zrychlení v určitém směru. Akcelerometr použitý v aplikaci pro měření vibrací pomocí programovatelného hradlového pole pracuje na principu mechanické metody měření vibrací.

2.1.2 Bezkontaktní metoda měření vibrací

Bezkontaktní snímače polohy jsou velmi rozšířené a s jejich nasazením se můžeme setkat v široké škále průmyslových oborů, nejen v metrologii, ale například i u automatizace procesů a podobně. Jejich největší výhodou je možnost snímat odchylku polohy, bez nutnosti mechanického zásahu do měřených součástí, přesné výsledky a vyšší frekvence snímání. Mezi nevýhody patří jistě nutnost dodržení malých vzdáleností mezi měřenou součástí a snímačem a menší měřicí rozsahy. Lze je aplikovat na měření výchylek rotačních hřídelů, což u akcelerometrů není možné. Mezi základní druhy bezkontaktních snímačů patří kapacitní senzory, indukční senzory a laserová triangulace. Cena snímačů je vyšší než u akcelerometrů. Výstupem těchto senzorů je poloha měřeného předmětu, která může být následně převedena na další veličiny např. zrychlení.

2.1.3 Interferenční metoda měření vibrací

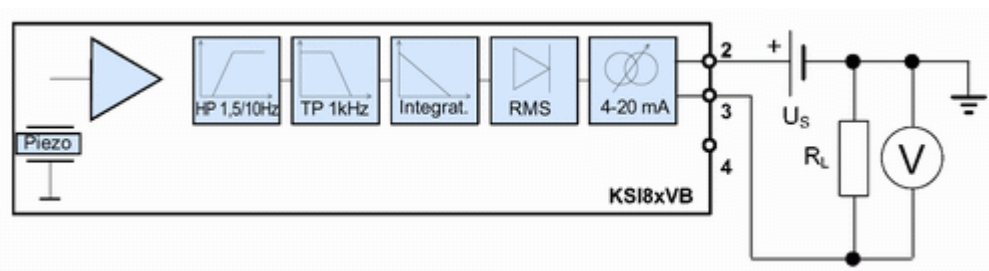
Posledním z významných způsobů snímání je laserová interference, která nám poskytuje jednoznačně nejpřesnější výsledky měření. Přesnost je bohužel vykoupena složitou instalací a nastavením měřících zařízení. Celá měřicí soustava je velmi drahá a proti ostatním způsobům i rozměrná. Mezi další výhody laserové interference patří kromě přesnosti i možnost snímání na větší vzdálenosti v řádech stovek milimetrů a velký

rozsah snímaných výchylek. Výstupem této metody je opět poloha měřené součásti jako u bezkontaktních snímačů, ale i zde je pomocí vhodného softwaru možné převést polohu na jiné veličiny[2].

2.2 ICP senzory

Zkratka ICP nebo také IEPE (dle výrobce) označuje piezoelektrické akcelerometry s integrovanou elektronikou, která zpracovává signál z piezoelektrického snímače, který je náchylný na šum a zkreslení, na napěťový či proudový signál, který lze přenášet po koaxiálním kabelu nebo i klasické dvoulince a následně měřit a vyhodnocovat. Výstupní obvody ICP senzorů mají nízkou výstupní impedanci a lze tedy přenášet jejich signál i na delší vzdálenost (desítky metrů) s menším vlivem okolního rušení. Většina dnes vyráběných akcelerometrů nějakou ICP technologií obsahuje.

Jsou však situace, kdy je použití technologie ICP nežádoucí. Jedním z takového případu může být požadavek na laboratorní přesnost kdy ICP může způsobovat zkreslení signálu piezosnímače. Další situací může být měření, ve kterém nejsme schopni zajistit požadované napájení pro vnitřní elektroniku. ICP nelze použít také do provozu kdy by vnitřní elektronika nepřežila okolní podmínky (například teploty na 150 °C, nebo velké elektromagnetické rušení). Často se jedná o senzory pro přesné měření seismické aktivity nebo pro nasazení v oblasti kosmonautiky či vojenského průmyslu. [1]



Obr.2.2 blokové schéma ICP akcelerometru

Klíčové vlastnosti:

- Stálá napěťová citlivost, nezávislá na délce či kapacitě vodiče
- Nízká výstupní impedance (<100 Ohmů), umožňuje přenos signálu na delší vzdálenosti za horších okolních podmínek bez rušení
- Systém dvoužilových kabelů
- Zabudovaná funkce samokontroly senzoru
- Možnost zabudování signálových filtrů a různých kompenzačních obvodů

2.3 Typy snímačů

2.3.1 Elektrodynamický snímač

Seismickou hmotnost zde představuje hmotnost snímací cívky a její vinutí, které vytváří viskózní tlumení pomocí indukovaných proudů. Pohybem snímací cívky v mezeře magnetu se indukuje napětí, které je úměrné rychlosti pohybu cívky. Po integraci výstupu z cívky se získá signál úměrný amplitudě pohybu, stejně jako po derivování získáme signál úměrný zrychlení měřených vibrací.

2.3.2 Piezoelektrický snímač

Pomocí piezoelektrického jevu se u tohoto snímače měří silové účinky setrvačné hmoty. Tento typ snímače umožňuje použití až do zrychlení 20 000g . Pracovní oblast je omezena vnitřním odporem který vybíjí náboj na krystalu, proto nelze použít pro nízké kmitočty.

2.3.3 Kapacitní snímač

Mechanický kmitavý obvod je u kapacitních akcelerometrů tvořený tenkou membránou s vhodně tvarovanými spirálovými štěrbinami a několika otvory. Membrána je umístěna mezi pevnými elektrodami diferenciálního kapacitního senzoru se vzduchovými mezerami. Pohybem membrány se pumpuje vzduch paralelně k rovině elektrod přes otvory v membráně. Vzniká tak obdoba viskózního tlumení.

2.3.4 Snímač s vetknutým nosníkem

Nejčastěji snímání deformace nosníku poblíž místa vetknutí tenzometry. [2]

2.4 Ukázka akcelerometrů

2.4.1 Delta Tron akcelerometry Brüel&Kjær (4507B a 4508B)

Jedná se o snímače navržené tak, aby odolávaly drsnějším podmínkám v průmyslu. Vyznačují se malými rozměry i hmotností a velkou citlivostí. Jsou vhodné

pro použití například k měření v automobilovém průmyslu (vibrace motoru, karosérie), přenosu síly, modálním analýzám a jiným zkoumáním působení sil na pevné (často kovové) předměty. Jejich přesnost je ovlivňována různými faktory, jako jsou nestálá teplota okolí, nadměrná vlhkost a rušení elektromagnetickým polem o vyšších frekvencích. Díky vhodné konstrukci a volbě materiálů u snímačů řady 4508 (Obr. 2.3) a 4507 jsou tyto nežádoucí vlivy sníženy na minimum.

Delta Tron jsou označeny akcelerometry a jiné produkty firmy Brüel&Kjær určené převážně pro následnou úpravu signálů. Jejich výstupem je napětově namodulovaný signál na přívodním výkonovém vedení a pro svou funkci potřebují stálé proudové napájení. Akcelerometr je možno připojit dlouhým přívodním kabelem k měřicímu zařízení díky nízké výstupní impedanci. Mezi další výhody patří schopnost relativně přesného měření i při použití levné kabeláže.



Obr. 2.3 B&K 4508B

2.5 Konkurenční řešení pro měření vibrací

2.5.1 Multianalyzátor Brüel&Kjær PULSE

Tato multifunkční platforma (software a hardware PULSE) pro měření a analýzu hluku a vibrací je vlajkovou lodí firmy Brüel&Kjær. Multianalýza PULSE umožňuje současnou práci a zpracování dat několika různými způsoby analýzy současně, např.

FFT analýza, 1/n oktávová analýza (CPB), analýza celkových úrovní a to vše na stejných nebo různých signálech (kanálech) současně s možností zobrazování výsledků a přímého ukládání dat na disk. PULSE umožňuje připojení od jednoduchých a nejstarších snímačů až po moderní snímače včetně podpory TEDS.

Díky modulárnímu provedení PULSE umožňuje přidání libovolného počtu dostupných softwarových modulů pro další specifická měření a aplikace jako jsou např. modul pro měření v závislosti na otáčkách nebo software pro kvalitu zvuku nebo lokalizaci zdrojů hluku. Stejným způsobem lze přidávat také hardwarové moduly a rozšiřovat tak možnosti systému. PULSE podporuje technologii OLE a jednotlivé měřicí kroky lze také upravit díky přístupnosti k nástrojům, jako jsou C++, Delphi, MATLAB, Visual Basic, Visual Basic for Applications a další.



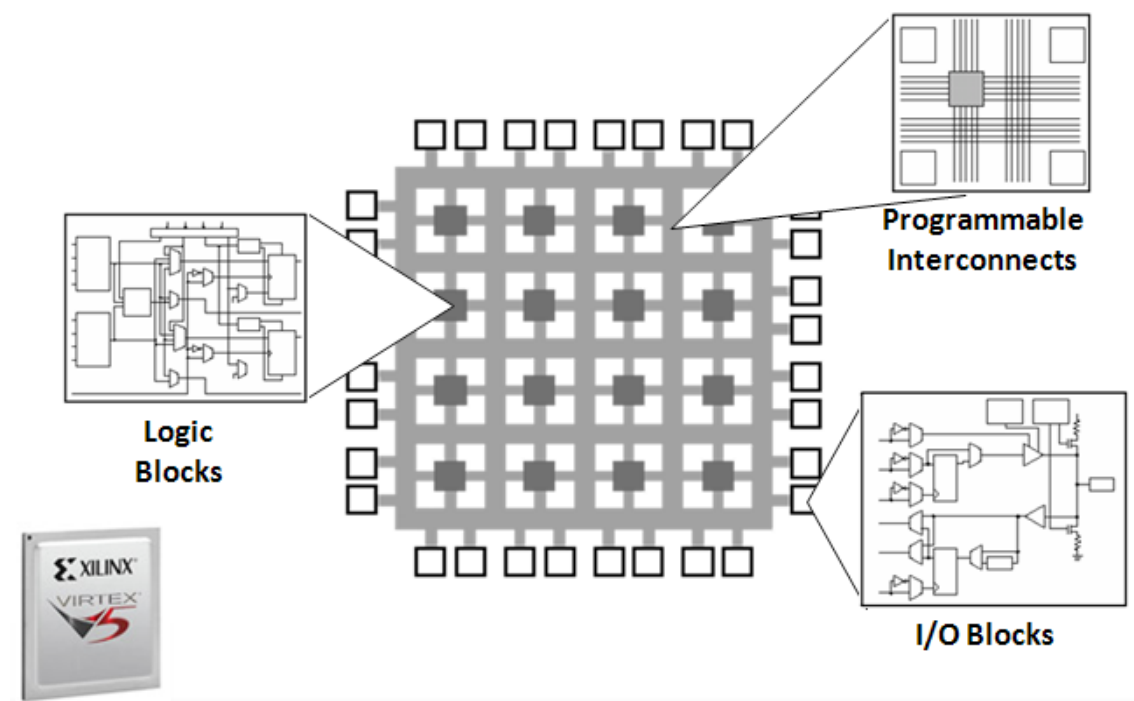
Obr. 2.4 Pulse

Systém PULSE je řízen a vyhodnocován pomocí programového prostředí prostředí PULSE LabShop. Program je schopen pracovat v reálném čase a sledovat výsledky měření a analýzy ihned po změření signálu. PULSE LabShop podporuje multianalýzu, což je možnost zpracování dat několika způsoby najednou. Pro každé měření lze uložit vlastní projekt, kde jsou uchovány informace o nastavení parametrů měření s koncovkou .pls . Software provádí současně FFT analýzu a CPB analýzu, což umožňuje měřené signály zaznamenávat pro pozdější zpracování.[3]

3. FPGA

3.1 Popis

Programovatelné hradlové pole (FPGA) je programovatelný čip, který obsahuje tři komponenty: logické bloky, programovatelná spojení a vstupně/výstupní(I/O) bloky (obr. 3.1).



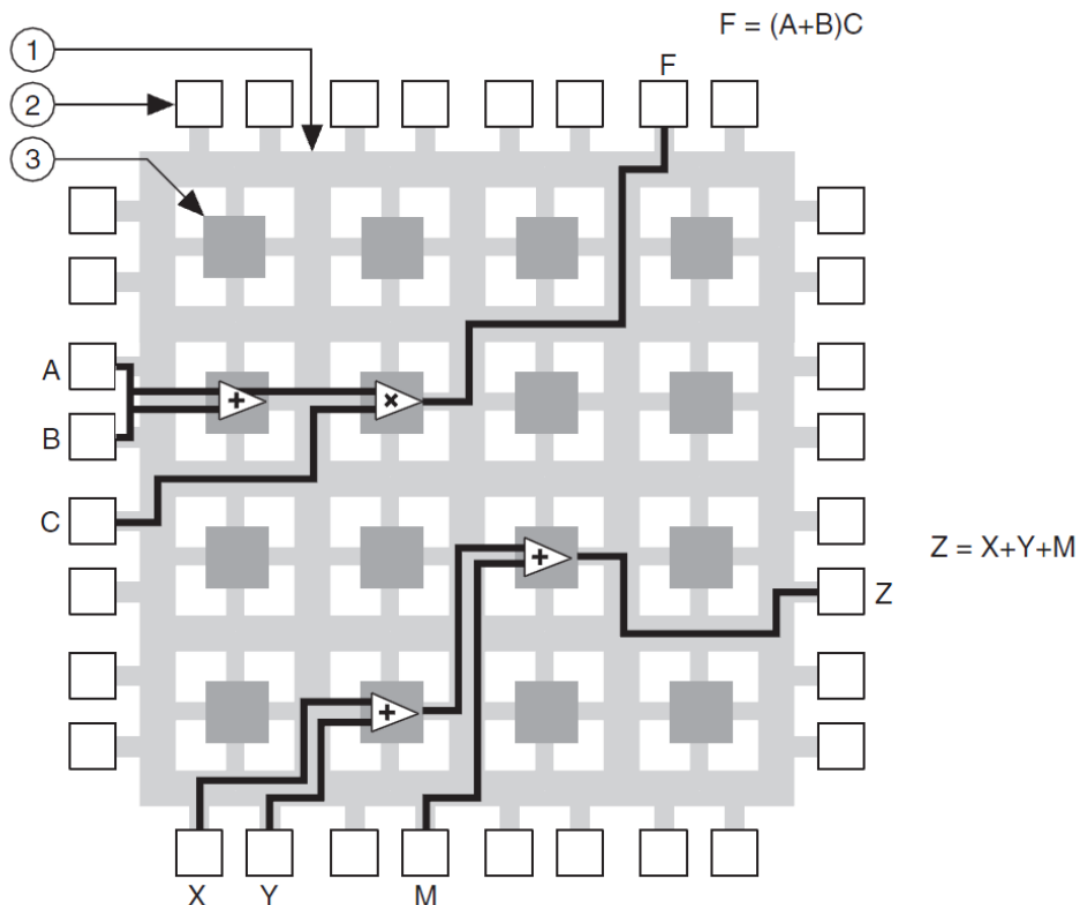
Obr. 3.1 FPGA

Logické bloky jsou soustavou digitálních komponentů, jako jsou „look-up table“ (tabulky logických funkcí), násobičky a multiplexory. Na jejich vstupy jsou posílány vstupní bity, které jsou následně zpracovány a odeslány na výstup jako vyhodnocené logické funkce.

Tyto funkce jsou vzájemně propojeny pomocí programovatelných vodivých spojení, která slouží ke směřování signálů z jednoho logického bloku do dalšího. S trochou nadsázky lze tato programovatelná spojení přirovnat k miniaturním nepájivým polím, která se nacházejí mezi jednotlivými logickými bloky a lze je „nasměrovat“ pomocí programovacího kódu. Tato programovatelná spojení vedou také k pinům vstupně/výstupních bloků a lze jimi obousměrně směřovat signál k okolním obvodům.

Díky těmto obvodům lze FPGA naprogramovat tak, aby zastávala jakýkoliv typ digitálního zařízení. Obecně však byla tvorba aplikací pomocí FPGA značně obtížná a

proto byla využívána pouze zkušenými designéry digitálních obvodů a hardware inženýry. Nyní však byly tyto programovací techniky implementovány do grafického programování v LabVIEW FPGA , a proto jej lze programovat bez nutnosti oplývání znalostmi programovacích jazyků FPGA čipů jako je VHDL nebo HDL.



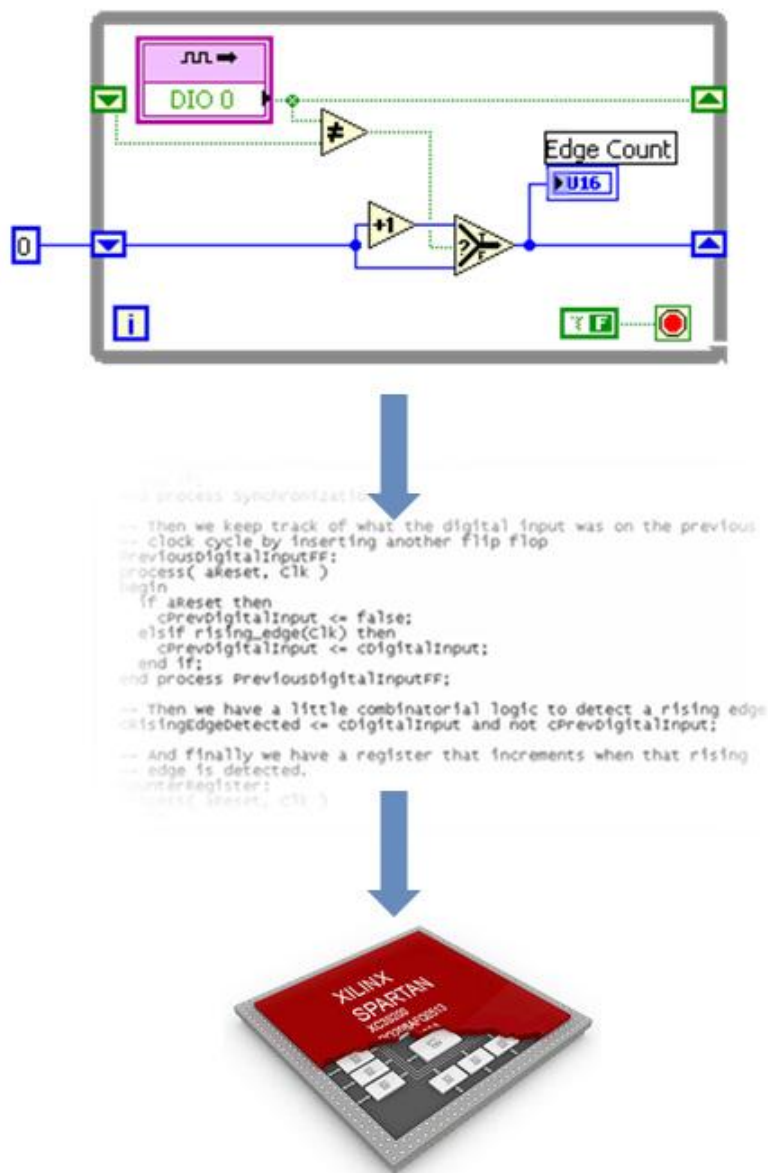
Obr. 3.2 příklad realizace dvou funkcí v FPGA

Na Obr. 3.2 je názorně zobrazena ukázka realizace dvou matematických funkcí pomocí FPGA.

3.2 Programování FPGA pomocí LabVIEW FPGA

Jelikož jsou VI v LabVIEW FPGA syntetizovaná přímo do fyzických hradel, která jsou spojena programovatelnými vodivými spojeními, je kompilační procedura tohoto VI od kompilace standardního VI v LabVIEW pro Windows nebo Real-Time kontroléry odlišná. Při tvorbě kódu pro FPGA je užito klasického LabVIEW grafického programovacího jazyka, ale při pokusu o jeho spuštění LabVIEW nejdříve generuje VHDL kód a předává jej Xilinx kompilátoru. Ten poté provede syntézu kódu VHDL a následně vkládá a propojuje všechny syntetizované komponenty do konfiguračního souboru. Nakonec je konfigurační soubor zaveden do FPGA , které tímto získává funkci

a chování z VI souboru (obr. 3.3). Celý tento proces trvá od pěti minut do několika hodin podle komplexnosti aplikace a počtu použitých prvků v FPGA. Proto je lepší si před kompilací VI určené pro FPGA vše rozmyslet, neboť pak je třeba po sebemenší úpravě VI celý proces opakovat, což může být časově náročné.



3.3 proces kompilace VI pro FPGA

3.3 Výhody užití FPGA

Díky faktu, že FPGA kód běží na fyzickém rozhraní bez nutnosti čekání na řídicí program, mají aplikace postavené na jádru FPGA několik důležitých výhod:

Vysoká spolehlivost

Aplikace, která běží na FPGA, je velmi spolehlivá díky implementaci logiky do fyzického rozhraní čipu. Po naprogramování FPGA se tak aplikace stává de facto hardwarovým čipem a získává z toho vyplývající spolehlivost (tj. žádná „modrá obrazovka smrti“).

Vysoká úroveň determinismu

Tím, že FPGA nepoužívají operační systém a nemusí se dělit o čas a prioritu s jinými procesy na rozdíl od aplikací řízených pomocí CPU, lze docílit u FPGA aplikací přesnosti časování důležitých procesů okolo 25 ns. Absence operačního systému zaručuje deterministické vykonávání aplikací a paralelní vykonávání více výpočtů.

Pravý paralelismus

Vícevláknové aplikace jsou rozděleny do více paralelních částí kódu, které jsou vykonávány pomocí algoritmu round-robin. Tento algoritmus přiřazuje běžícímu procesu kvantum času, po který může být proces zpracováván na procesoru. Po uběhnutí tohoto času je proces odstaven a místo něj je spuštěn jiný[5]. Tímto aplikace zdánlivě vykazuje paralelismus, přesto je však v daný moment vykonáván pouze jeden proces. Tento paralelismus může být vylepšen použitím více procesorů, stále však jeden procesor nemůže v jeden okamžik vykonávat více než jeden proces.

FPGA však implementuje paralelní kód jako paralelní obvody v hardwaru a proto souběžné vykonávání více funkcí není limitováno počtem jader procesorů, ale pouze počtem volných logických buněk.

Překonfigurovatelnost

Tato možnost dává FPGA čipům schopnost adaptace na změnu požadavků v budoucím použití. Pokud je třeba změnit některou z funkcí čipu FPGA který již byl jednou naprogramován, stačí jej přeprogramovat bez nutnosti úpravy struktury zařízení.

To je zvláště užitečné v případě průmyslových komunikačních protokolů, které se neustále vylepšují a dostávají do výbavy stále nové funkce a změny. Místo vývoje nového komunikačního čipu pro řízení sběrnice stačí jen upravit program v FPGA.

Rychlý start

Tím, že program v FPGA pracuje jako samostatný celek na jednom čipu, trvá načtení programu od zapnutí napájení řádově milisekundy.[4]

4. COMPACTRIO

CompactRIO (nebo cRIO) je realtime průmyslový řadič od americké společnosti National Instruments. CompactRIO je kombinací Real-Time kontroléru, rekonfigurovatelných vstupně-výstupních modulů (RIO), FPGA (programovatelné hradlové pole) a Ethernetového rozšíření. CompactRIO se používá v průmyslu k řízení parametrů v místech, kde jsou důležité malé rozměry a odolnost. Realtime kontrolér je výkonný procesor se širokou škálou hodinových frekvencí pro realizaci řídicího algoritmu v reálném čase. Modul hradlového pole se používá pro implementaci logiky nízké úrovně na základě údajů získaných pomocí vstupně-výstupních modulů řady C, což mohou být karty od National Instruments a dalších společností. Tyto moduly jsou vyměnitelné za provozu. Hradlové pole lze programovat samostatně a je připojeno k real-time kontroléru pomocí interní sběrnice.



Obr. 4.1 CompactRIO

CompactRIO může být naprogramován pomocí grafického programovacího jazyka od firmy National Instruments – LabVIEW, který je nutno použít i pro naprogramování programovatelného hradlového pole. Real-time kontrolér může být také naprogramován v jazycích C, C++ nebo Java.

4.1 Získávání dat

Každý modul připojený do zařízení CompactRIO může získávat data ve dvou režimech- „scan mode“ a „FPGA mode“.

Programování v režimu „Scan Mode“ v LabVIEW Real-Time je jednodušší pro méně náročné aplikace, která nevyžadují užití FPGA. V tomto případě jsou V/V kanály dostupné přímo v hostitelské aplikaci pomocí techniky drag-and-drop, stejně jako testovací panely pro monitorování výkonnosti systému či pokročilé nástroje pro diagnostiku a odstraňování problémů. Také je k dispozici síťový watchdog, který hlídá

aktivitu výstupních kanálů ve „Scan“ módu a v případě nečinnosti nebo odpojení od řídicí aplikace nastaví na výstup takovýchto proměnných výchozí (0V nebo „off“) stav.

Programování v distribuovaném FPGA režimu umožňuje vyšší úroveň přizpůsobení a flexibility tvořené aplikace. Vložením rozhodovacích schopností na úroveň FPGA jsme schopni snížit dobu odezvy díky rychlým reakcím na okolní podmínky bez nutnosti interakce hostící aplikace. Inteligentní V/V rozšíření také snižuje zátěž výpočetní jednotce řídicího kontroléru pomocí implementovaných analýz, uživatelským spouštěním a manipulací se signálem na úrovni uzlů v FPGA. Další výhody přináší použití programového vybavení LabVIEW FPGA , které umožňuje expertům rychle vyvinout a implementovat jejich nápady a prototypy bez nutnosti znalosti programování VHDL. [4]

4.2 Moduly

Vyvinutá aplikace pro měření vibrací využívá dva vstupně-výstupní moduly. Modul NI-9234 je použit pro získání dat z akcelerometru do CompactRIO, modul NI-9263 je naopak výstupní a budí zesilovač vhodným signálem pro rozkmitání vibrační stolice.

4.2.1 NI-9234

Tato měřicí karta obsahuje čtyři analogové vstupy s 24bitovými A/D převodníky typu Delta-Sigma. A/D převodník je elektronická součástka určená pro převod analogového (spojitého) signálu na digitální (diskrétní). Převodníky Delta-Sigma umožňují dosáhnout velmi vysoké linearity převodu při vysokém rozlišení. Převodník se skládá z delta-sigma modulátoru a číslicového filtru. Karta je vyobrazena na obr. 4.2.



Obr. 4.2 NI-9234

Karta je v práci použita pro získání dat z akcelerometrů pro následnou analýzu právě měřeného signálu a je vložena do pozice č. 0 na šasi CompactRIO.

Ve vytvořené aplikaci jsou odebírány vzorky ze všech čtyř kanálů najednou bez ohledu na počet právě připojených akcelerometrů.

4.2.2 NI-9263

Tento výstupní modul obsahuje čtyři výstupy s 16bitovými D/A převodníky. D/A převodník je elektronická součástka pomocí které je digitální signál převeden na analogový.

V aplikaci je tento modul vložen do pozice č. 4 na šasi CompactRIO a je užit pro buzení vibrační stolice přes zesilovač pomocí generovaného signálu.



Obr. 4.3 NI-9263

5. LABVIEW

LabVIEW je grafické programovací prostředí, jehož minulost sahá až do roku 1983. Jedná se o programovací jazyk, jehož posloupnost neurčuje pořadí řádků kódu programu jak u textových programovacích jazyků (jako např. C++, Java), ale tzv. datový tok (data flow) a to nejčastěji zleva doprava.

Tento styl programování je zvláště vhodný pro uživatele, kteří mají problémy s „abstraktním“ programováním v klasických programovacích jazycích. Díky grafické interpretaci jednotlivých funkcí lze programy tvořit více intuitivně a rychleji.

Jednotlivé funkce jsou v LabVIEW reprezentovány ikonami, které lze vzájemně spojovat datovými vodiči, jakoby se jednalo o samostatné zařízení schopné vyhodnotit jeden či více signálů, přivedených na vstup funkčního bloku. Tyto bloky mohou být samostatnými funkcemi, nazývanými VI (virtual instrument – virtuální instrumentace). Hlavním cílem virtuální instrumentace je nahradit dočasně či dokonce trvale využití fyzických prostředků řešením virtuálním pomocí programových prostředků a aplikace grafických a vizuálních prvků pro snadnější orientaci a názornost řešení pro uživatele. Tento koncept zároveň minimalizuje náklady pro provádění změn na systému. Pojem VI se v LabVIEW už tak zabydlel, že se toto označení používá i v oficiální dokumentaci či jako přípona souborů virtuální instrumentace.

Každý program se skládá ze dvou hlavních sdružených oken: z uživatelského rozhraní, kterému se v terminologii LabVIEW říká čelní panel (angl. Front Panel), až blokového diagramu (angl. Block Diagram), který je zdrojovým kódem VI.

5.1 Čelní panel (Front Panel)

Čelní panel je uživatelské rozhraní měřené aplikace pro řízení běhu programu (měření) a získávání informací o aktuálně naměřených datech. Je tvořen oknem s jedním až mnoha prvky. Tyto prvky je možné libovolně měnit, upravovat a přeskupovat pomocí stlačení pravého tlačítka myši v okamžiku umístění kurzoru na požadovaný prvek panelu. Prvky se dělí z funkčního hlediska na dva hlavní typy – vstupní prvky a výstupní prvky. Vizuálně se jedná o známé tvary ovládacích a zobrazovacích objektů ze starších měřících přístrojů, jako jsou nejrůznější tlačítka, kolečka, přepínače, žárovky, LED diody, číslicové zobrazovače a obrazovky průběhů signálů podobné těm z osciloskopů. Díky nim dokáže běžící program obsluhovat i člověk bez větších znalostí programového vybavení LabVIEW. Jednotlivé ovladače a zobrazovače lze vybírat z

nabídky palety Controls. Na panel lze kromě předinstalovaných prvků tvořit i své vlastní, či importovat grafické objekty z jiných aplikací.

5.2 Blokový diagram (Block Diagram)

Kromě čelního panelu každá aplikace vytvořená v LabVIEW obsahuje také blokový diagram. Jedná se o okno s vlastním algoritmem popisujícím chování dané aplikace. Podle názvu je patrné, že princip spočívá ve vedení signálu skrz programové bloky, podobně jako v simulačním prostředí Matlab Simlink. Každý prvek na čelním panelu koresponduje s jedním prvkem v blokovém diagramu. Mezi nimi jsou však i bloky starající se o požadovanou úpravu signálů. Mezi ty jednodušší patří například součet signálů, zpětná vazba, podmínka typu if-then a cykly do-while. Jednotlivé bloky jsou vybírány z palety Functions a mají různé počty vstupních a výstupních pinů. Funkčním blokem může být i samostatné VI, tzv. subVI. Tak jako prvky čelního panelu mohou mít i prvky blokového diagramu popisky pro snadnější orientaci.[6]

5.3 Datové typy

Různé objekty, jejich vstupy nebo výstupy, jsou vzájemně propojeny spoji různých datových typů. Objekty různých, vzájemně neslučitelných, datových typů nelze vzájemně propojovat. V aplikacích je vhodné rozlišovat konkrétní typ a nastavit jejich formát (tzv. reprezentaci) předem tam, kde tušíme, s jakými daty bude program pracovat. Tím se může snížit doba výpočtů a nadměrná alokace paměti. Mezi nejčastěji používané datové typy patří binární (Boolean), číselný (Numeric) a časový průběh (Waveform).

LabVIEW pracuje s těmito datovými typy formátů čísel (Numeric):

- EXT – datový typ s pohyblivou čárkou s rozšířenou přesností (128bit)
- DBL – datový typ s pohyblivou čárkou s dvojitou přesností (64bit)
- SGL – datový typ s pohyblivou čárkou s jednoduchou přesností (32bit)
- FXP – datový typ s pevnou čárkou (tzv. fixed-point)
- I64 – datový typ celočíselný 63bitů se znaménkem
- I32 – datový typ celočíselný 31bitů se znaménkem
- I16 – datový typ celočíselný 15bitů se znaménkem
- I8 – datový typ celočíselný 7bitů se znaménkem

- U64 – datový typ celočíselný 64bitů bez znaménka
- U32 – datový typ celočíselný 32bitů bez znaménka
- U16 – datový typ celočíselný 16bitů bez znaménka
- U8 – datový typ celočíselný 8bitů bez znaménka
- CXT – datový typ komplexní s rozšířenou přesností (256bit)
- CDB – datový typ komplexní s dvojitou přesností (128bit)
- CSG – datový typ komplexní s jednoduchou přesností (64bit).

Datový typ Boolean může nabývat pouze dvou hodnot: False (nepravda) nebo True (pravda). Hodnota typu Boolean je výsledkem všech logických výrazů.

Datový typ Waveform je speciální formát (tzv. cluster – soubor více typů proměnných). Obsahuje tyto položky:

- **t0** – start time – čas začátku(první bod) průběhu, využívá se k synchronizaci vykreslování více průběhů do grafu nebo k určování zpoždění mezi jednotlivými průběhy
- **dt** – delta t – časový interval mezi jednotlivými po sobě jdoucími body průběhu
- **Y** – Waveform data – 1D pole čísel formátu DBL. [6]

6. APLIKACE PRO MĚŘENÍ VIBRACÍ

6.1 Obecný popis

Vytvořená aplikace se stará o získání informace o efektivní hodnotě zrychlení, která právě působí na akcelerometr a její zobrazení na čelním panelu aplikace pomocí dvou grafických zobrazovačů. Jeden zobrazuje časový průběh signálu, zatímco druhý informuje o frekvenčním spektru měřených vibrací.

Signál z akcelerometru je veden na BNC konektor jednoho ze čtyř analogových vstupů měřicí karty NI-9234. V této kartě je analogový signál převeden na digitální pomocí 24bitových převodníků a pomocí FPGA aplikace poslán do paměti FIFO. Z této paměti již může číst data hlavní aplikace běžící na řadiči RealTime. Ten následně vykresluje časový průběh signálu na grafickém zobrazovači a zároveň pomocí FFT počítá a zobrazuje frekvenční spektrum.

Celá měřicí aplikace je tedy tvořena dvěma dílčími a to hlavní aplikací, která běží na řadiči Real-Time a druhá, tvořená soustavou hradel a logických funkcí v FPGA.

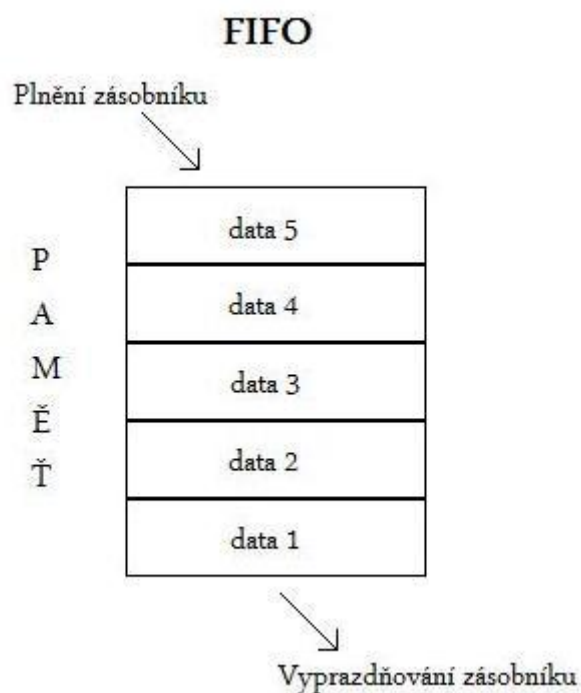
6.2 Synchronizace

Oba programy běží samy o sobě asynchronně a každý obsahuje různé cykly (for loop, while loop, time loop). Mohlo by se stát, že bude aplikace FPGA data posílat hlavní aplikaci rychleji, než by hlavní aplikace zvládala zpracovat, v takovém případě by docházelo ke ztrátě dat. Proto je třeba obě aplikace synchronizovat. Synchronizace je také nutná pro řízení časování.

Jako vhodné metody synchronizace lze použít:

- požadavek přerušení
- handshaking
- paměť FIFO

V měřicí aplikaci této bakalářské práce je použita paměť FIFO. Paměť FIFO (First In, First Out) je oblast počítačové paměti, která může obsahovat data jakéhokoliv datového typu. Data uložená do této paměti jako první se budou také jako první z paměti číst.



Obr. 6.1 FIFO

6.3 Aplikace FPGA

Po spuštění čeká řídicí aplikace na požadavek přerušení (obr. 6.2), aby se synchronizovala se začátkem sběru dat aplikace FPGA. Touto synchronizací předchází hlavní program situacím, kdy je jím odeslán požadavek na čtení dat z paměti FIFO dříve, než je FPGA získá a uloží.

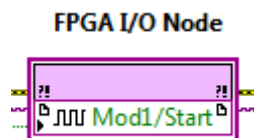
Tato procedura slouží také blokování odesílání dat z FPGA a jejich následné ztrátě dokud není hlavní aplikace schopna data přijmout.



Obr. 6.2 Čekání na požadavek přerušení

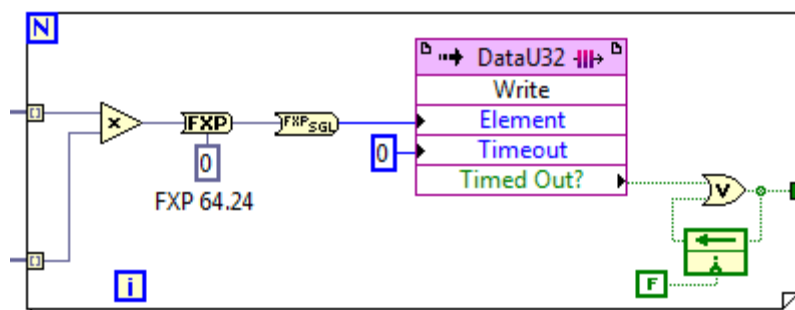
Poté je vyslán pokyn pro spuštění čtení dat z modulu NI-9234. To se děje pomocí bloku FPGA I/O Node, ve kterém je zvolen požadovaný modul Mod1 s uzlem Start.

Čtení dat započne, jakmile se na pinu Mod1/Start objeví hodnota „True“. Grafická podoba tohoto bloku je zobrazena na Obr. 6.3



Obr. 6.3 příkaz Mod1/Start

Ukládání dat do paměti FIFO probíhá ve smyčce typu „For Loop“ (obr. 6.4). Při každé iteraci je jeden vzorek platných dat převeden do tvaru SGL (32bit float) a následně zakódován do tvaru U32 a zařazen do fronty FIFO paměti.

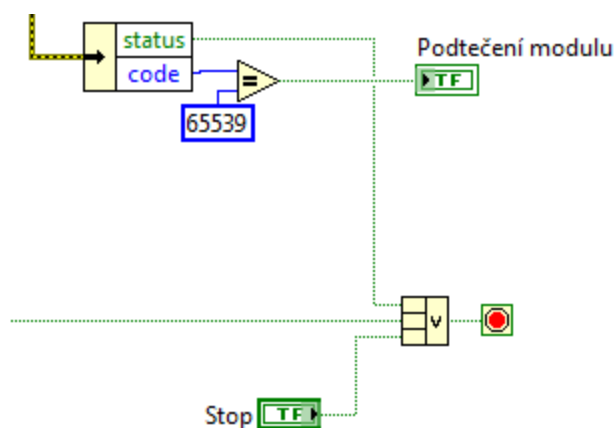


6.4 Ukládání dat do FIFO paměti

Funkce pro převod z FXP do SGL trvá 10 hodinových impulsů a vyžaduje 1236 buněk „slice“ (3% z celkových v případě cRIO 9074) a 2087 „Look-up-Table“ jednotek (5% výbavy cRIO 9074)[9]. Přesto je tato funkce pro správný chod programu nezbytná.

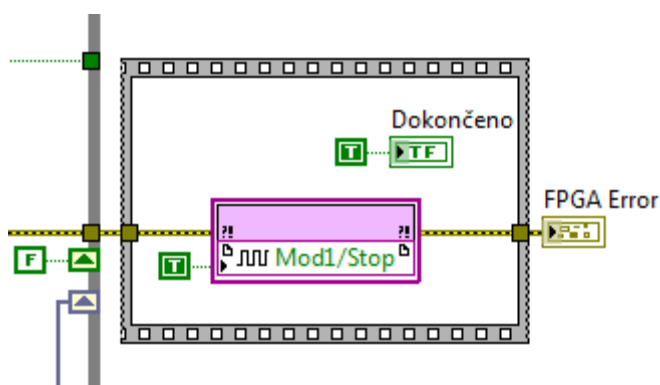
Řídící aplikace poté musí převést data z tvaru U32 do SGL. Převod z U32 do SGL je přibližně o 40% snazší (z hlediska počtu CPU cyklů) než kdyby ke konverzi do SGL mělo dojít z formátu FXP. V takovém případě by při stávajících požadavcích, které jsou kladeny na aplikaci (čtyř kanálový sběr dat, FFT a generátor signálu) hrozila ztráta dat.

Přenos dat pokračuje, dokud modul neoznámí chybu nebo hlavní aplikace nevyšle příkaz pro ukončení vzorkování (obr. 6.5).



Obr. 6.5 Pokyn k ukončení vzorkování

Pokud jsou všechna data přenesena, FPGA tuto informaci poskytne hlavní aplikaci, ukončí sběr dat a vnější smyčka „while“ okamžitě připravuje FPGA pro další sběr dat a čeká na pokyn přerušeni od hlavní aplikace (Obr. 6.6).



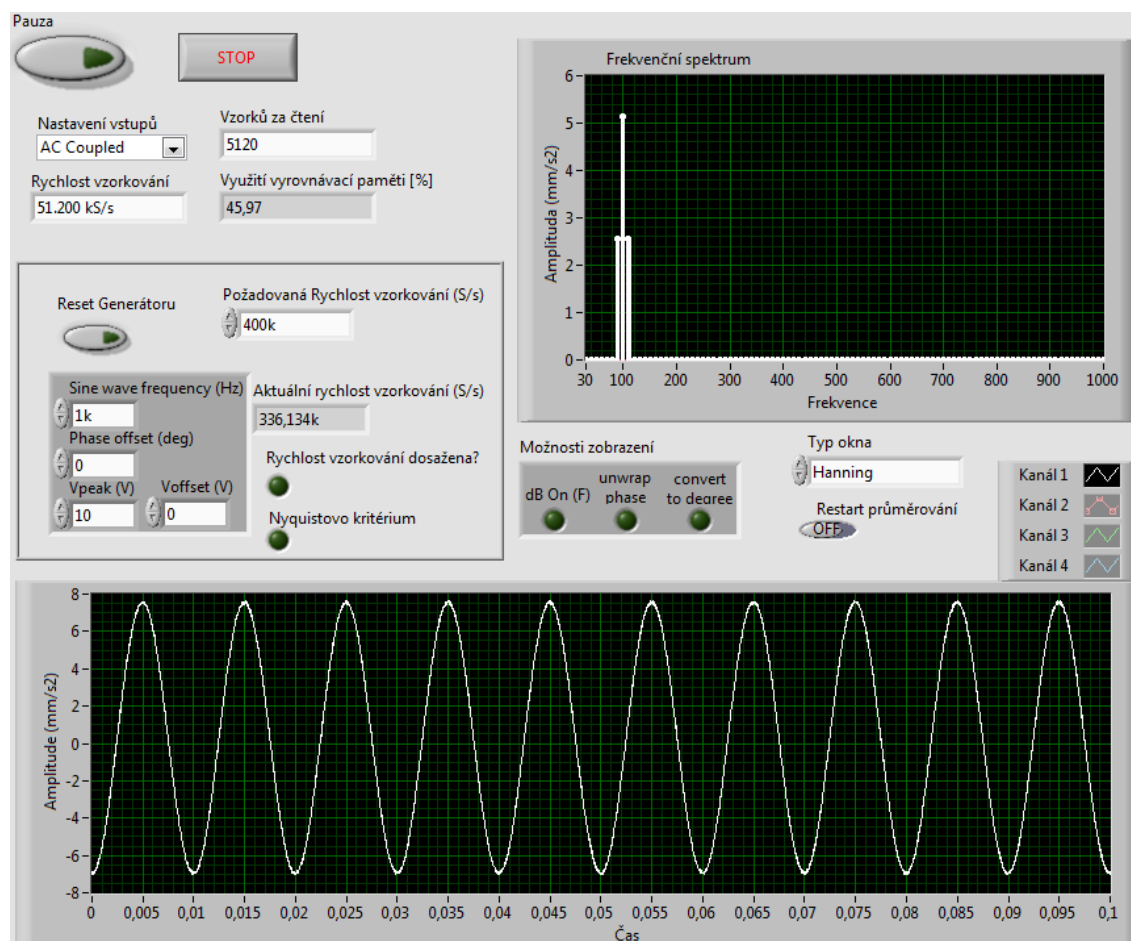
Obr 6.6 data přenesena

Vzhledem k tomu, že čas potřebný pro vykonání bloku FPGA I/O node může být 50 – 80% vzorkovací periody, je přenos dat zřetězen (pipelining). Zřetěžením vzorkování, převodu dat a ukládání do FIFO je zajištěno, aby nedošlo k podtečení bloku FPGA I/O node.

6.4 Hlavní aplikace

Hlavní aplikace vychází ze vzorového VI *NI CompactRIO Waveform Reference Library*, které je ke stažení v sekci *Developer Zone* na stránkách National Instruments.

Aplikace běží na Real-Time řadiči zařízení CompactRIO a stará se o čtení dat z paměti FIFO, vykonává FFT a obsahuje také generátor signálu pro buzení vibrační stolice. Na čelním panelu jsou zobrazeny průběhy signálů v časové a frekvenční oblasti a také důležité ovládací prvky celkové aplikace (Obr. 6.7).

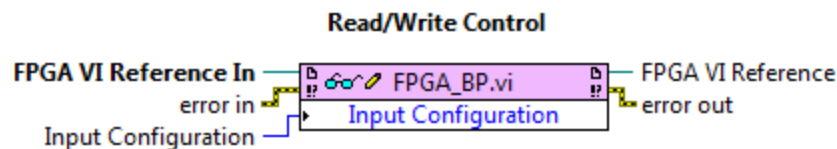


Obr. 6.7 Přední okno aplikace

6.4.1 Popis důležitých subVI:

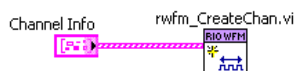
Read/Write Control

Před samotným pokynem pro start FPGA je třeba mu předat informaci o způsobu napájení snímače. Je potřeba zvolit typ IEPE. Děje se tak pomocí tohoto VI (Obr. 6.8)



Obr. 6.8 Read/Write Control

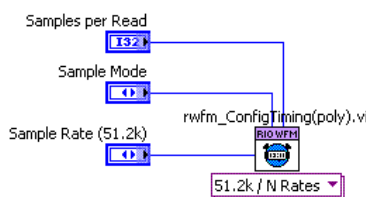
rwfm_CreateChan.vi



Obr. 6.9 rwfm_CreateChan.vi

Údělem tohoto VI je shromáždit parametry měřítka jednotlivých kanálů, společně s jejich počtem a tyto hodnoty odeslat do FPGA. Počet elementů v „channel info“ musí korespondovat s počtem kanálů získávanými v FPGA.

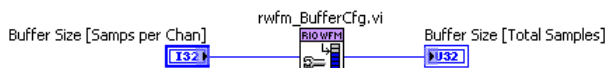
rwfm_ConfigTiming(poly).vi



Obr. 6.10 rwfm_ConfigTiming(poly).vi

VI s ikonou stopek nastavuje typ vzorkování (časově spojitý signál nebo časově omezený), který následně předává programovatelnému hradlovému poli.

rwfm_BufferCfg.vi



Obr. 6.11 rwfm_BufferCfg.vi

Určení velikosti vyrovnávací paměti hostitelské aplikace je volena právě pomocí rwfm_BufferCfg.vi. Zvolená hodnota ovlivňuje datovou propustnost mezi FPGA a hostitelským programem. Tato paměť (buffer) se stará o správné přijetí přicházejících dat z FIFO. V tomto případě se jedná o desetinásobnou velikost bufferu oproti velikosti čtených dat.

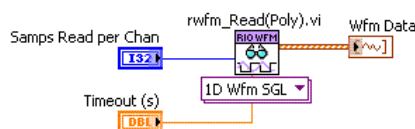
rwfm_Start.vi



Obr. 6.12 rwfm_Start.vi

Tímto VI se vysílá pokyn pro spuštění FPGA VI. Následuje čekání na odpověď od FPGA v podobě přerušení, čímž FPGA dává signál hostitelské aplikaci, že je připraven začít se vzorkováním signálu. Pokud je vzorkování pozastaveno, může být opět spuštěno opětovným voláním rwfm_Start.vi. V případě dalšího spuštění tohoto VI, je vygenerováno varování s kódem chyby č. 61003 informující, že program FPGA již běží.

rwfm_Read(poly).vi



Obr. 6.13 rwfm_Read(poly).vi

Rwfm_Read(poly).vi získává data z vyrovnávací paměti hostující aplikace. Rychlost je definována uživatelem a přenos je konán, dokud je k dispozici dostatek dat k operaci čtení. Je možno volit mezi třemi možnými výstupními formáty dat. K dispozici jsou volby dat prezentovaných jako 1D pole typu Wfm SGL, 2D pole typu SGL nebo 1D pole tvořené prvky typu U32. Další funkcí tohoto VI je hlášení chyb FPGA. Tím mohou být překročení časových limitů, přetečení FIFO zásobníků, nebo nesprávný počet kanálů.

rwfm_Stop.vi

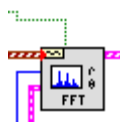


Obr. 6.14 rwfm_Stop.vi

Jak je patrné z názvu, `rwfm_Stop.vi` posílá příkaz do FPGA k ukončení vzorkovací smyčky a čeká na potvrzení o ukončení této smyčky. Dále je tímto VI promazávána vyrovnávací paměť hostující aplikace, aby následně zbylé VI nenačítaly stará a neplatná data.

FFT Spectrum (Mag-Phase) VI

Toto VI počítá průměrované spektrum časového signálu. Na výstup posílá výsledek výpočtu FFT jako amplitudu a fázi. Amplituda je následně zobrazena na předním panelu aplikace na grafu zobrazující frekvenční spektrum signálu.



Obr. 6.15 FFT Spectrum

6.5 FFT

Při zpracování naměřeného signálu budeme chtít znát spektrum signálu. K určení spektra lze využít matematickou metodu Diskrétní Fourierova Transformace (DFT). Při výpočtu Diskrétní Fourierovy transformace vycházíme z Fourierovy transformace pro diskrétní signály. DFT je vymezena pro řady konečné délky. Spektrum konečné délky je vyjádřeno rovnicí [12]:

$$F(\omega) = \sum_{k=-\infty}^{+\infty} f(k) \cdot e^{j\omega k} = \sum_{k=1}^{N-1} f(k) \cdot e^{-j\omega k} \quad (6.1)$$

Kde N je délka řady a $f(k) = 0$ pro $k < 0$ a pro $k \geq N$, kde $k = 0, 1, \dots, N-1$. Spektrum řady $F(\omega)$, je periodická funkce s periodou 2π , obsahující jednotlivé body (frekvenční složky). Tyto body se dají zapsat jako :

$$\omega_m = m \cdot \frac{2\pi}{N} \quad (6.2)$$

Kde $m = 0, 1, \dots, N-1$.

Hodnoty spektra jsou vymezena v diskrétních bodech rovnicí:

$$F_m = F(\omega_m) = F\left(m \cdot \frac{2\pi}{N}\right), \quad (6.3)$$

Kde $m = 0, 1, \dots, N-1$.

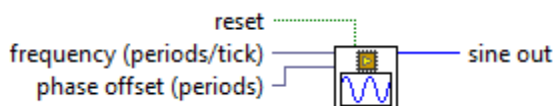
Po dosazení vztahu (6.2) do vztahu (6.3) dostaneme rovnici pro přímou diskrétní Fourierovu transformaci[12]:

$$F(\omega) = F\left(m \cdot \frac{2\pi}{N}\right) = \sum_{k=0}^{N-1} f(k) \cdot e^{-j\omega k \frac{2\pi}{N}} \quad (6.4)$$

V roce 1965 publikovali pánové J. W. Cooley a J. W. Turkey velmi efektivní algoritmus pro výpočet DFT. Díky velké časové úspoře, kterou tento algoritmus přináší, byl pojmenován Fast Fourier Transform (FFT, rychlá Fourierova transformace). Dnes je tato matematická metoda včleněna do mnoha výpočetních programů, včetně programu LabVIEW, ve kterém ho můžeme najít tradičně ve formě bloku - FFT Spectrum (Mag-Phase) [13].

6.6 Generátor signálu

Hlavní VI také obsahuje ovládání implementovaného generátoru sinusového signálu pro buzení vibrační stolice. Samotný signál je tvořen pomocí VI Sine Wave Generator, který je obsažen v aplikaci FPGA (obr. 6.16).



Obr. 6.16 Sine Wave Generator VI

Tento VI generuje sinusový signál bod po bodu použitím přímé číslicové syntézy. Aby tato syntéza poskytla přesnou frekvenci, tak průběžně běží na nejvyšší úrovni hodinových impulsů FPGA. Výsledný sinusový signál je pak veden na kanál č. 0 na kartě NI-9263.

Po připojení na digitální osciloskop byla však sinusoida nedokonalá a při nižších frekvencích připomínala spíše obdélník, proto byl při konečném porovnávání naměřených výsledků se systémem B&K Labshop Pulse použit pro buzení signálový generátor HP 33120A.

Budící signály byly dále zesíleny pomocí zesilovače B&K B power amplifier type 2732.

6.7 Srovnání aplikace s Labshop Pulse od B&K

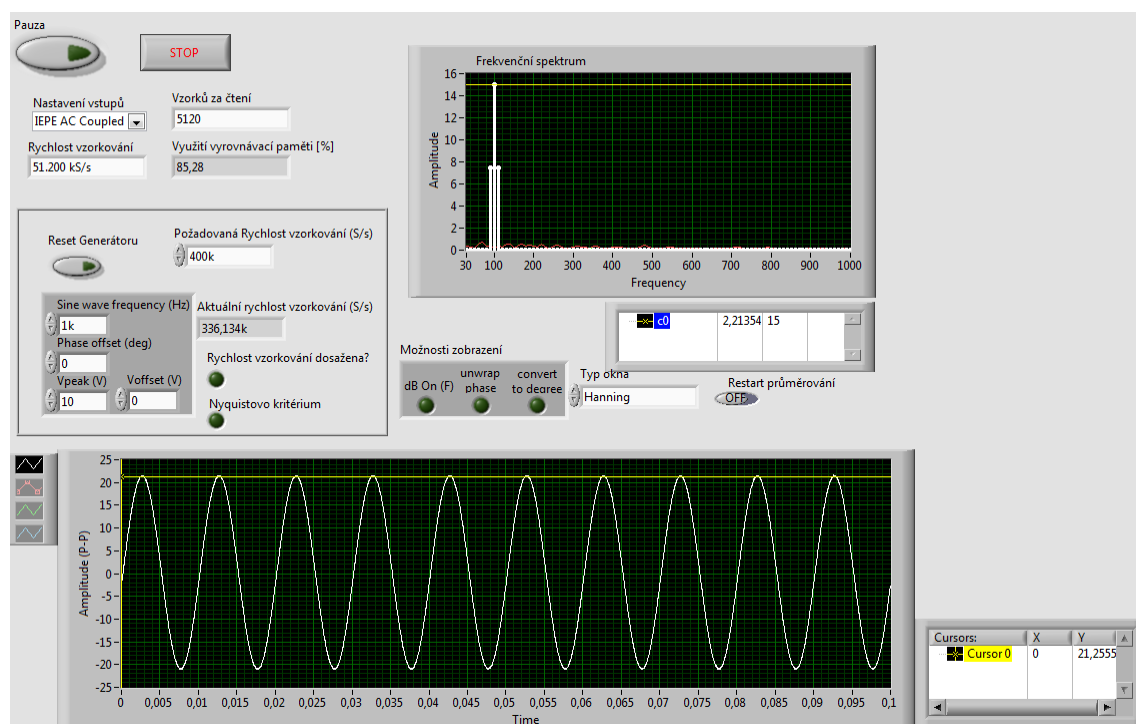
Po dokončení byla měřicí aplikace připojena na rozkmitanou vibrační stolicí a signál z akcelerometru byl rozveden také na vstup měřicího systému Labshop Pulse od firmy Brüel & Kjær pro porovnání správnosti zobrazených dat.

Výsledky se shodovaly jak v hodnotě aktuální efektivní hodnotě amplitudy vibrací, tak ve tvaru zobrazeného časového průběhu či spektru obsažených frekvencí.

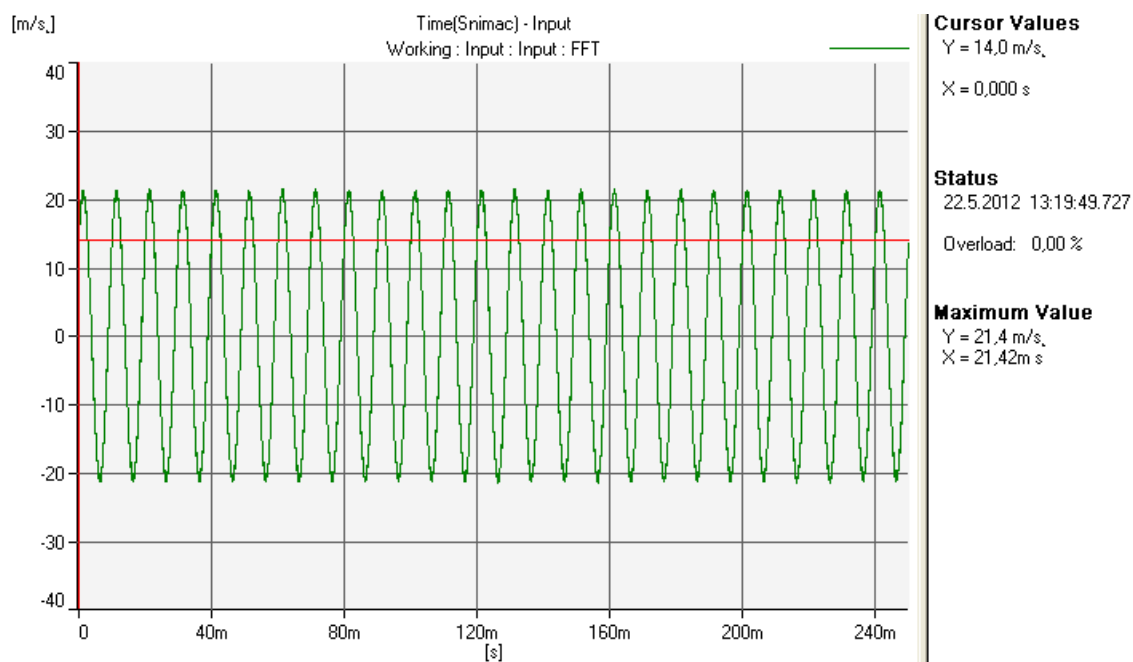
Pro kontrolu byly následně změřeny signály o jiných amplitudách a frekvencích. Výsledky v aplikaci běžící na platformě CompactRIO se i nadále viditelně nelišily od Labshop Pulse.

Při tomto testu byl použit akcelerometr PCB piezotronics M352A60 SN 75754.

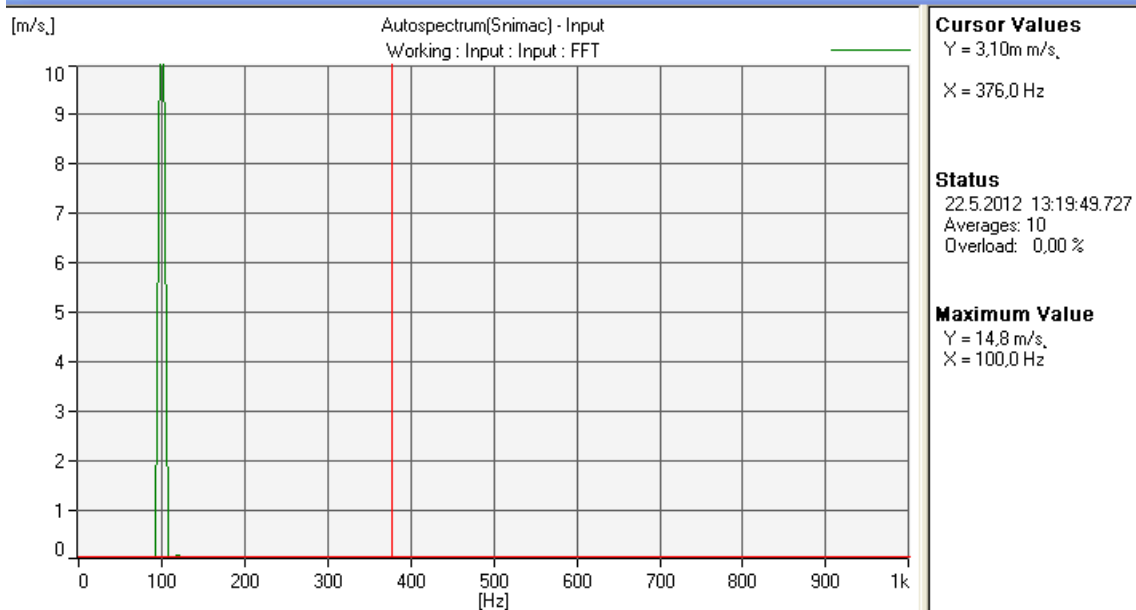
Ukázka ze srovnávacího měření při buzení sinusoidou o frekvenci 100 Hz:



Obr. 6.17 Naměřené hodnoty a průběhy na cRIO



Display 2



6.18 Naměřené hodnoty a průběhy na Labshop Pulse

7. ZÁVĚR

Při práci na této bakalářské práci jsem se seznámil se zařízením Compact RIO a programovatelnými hradlovými poli obecně. Dále jsem si osvojil programování FPGA v prostředí LabVIEW a dozvěděl se více o problematice měření vibrací.

Hlavním cílem této bakalářské práce bylo vyvinout pomocí LabVIEW aplikaci pro měření vibrací na programovatelném hradlovém poli Compact RIO. Vzhledem k výsledkům, srovnatelným s výsledky naměřenými na analyzátoru LabShop PULSE bylo tohoto cíle dosaženo. Výsledná aplikace je stabilní a dostatečně přesná a citlivá i pro měření slabých vibrací.

Zobrazené frekvenční spektrum signálu obsahuje všechny složky spektra, ne pouze tu nejsilnější.

Slabším článkem aplikace je generátor sinusového signálu, na kterém lze nastavit požadovanou amplitudu a frekvenci, signál ovšem neodpovídá hladkému sinusovému signálu.

Zajímavé bylo na práci pozorovat rozdílné reakce FPGA při malé změně uspořádání vnitřních logických bloků.

Aplikace by mohla být dále rozšířena o další moduly pro připojení tenzometrů, mikrofónů a porovnávat a vyhodnocovat odezvu měřeného signálu na různé podněty. Tím by šlo aplikaci využít jako např. detektor lži nebo měřič akustické odrazivosti předmětů v prostoru.

Velkou překážkou mi byla malá časová rezerva na psaní této práce z důvodu hledání chyby v měřicí aplikaci téměř do poslední chvíle. Chyba v aplikaci byla sice nalezena, avšak na úkor nižší formální úrovně bakalářské práce. Chybou byla patrně nepozornost při nechtěném poškození bloku definujícím typ použitého senzoru v hlavní aplikaci. V aplikaci FPGA definice byla, avšak výchozím nastavením bylo místo IEPE napájení klasického senzoru bez vnitřní elektroniky bez ohledu na typ nastavený v hlavní aplikaci. Jsem rád, že se mi chybu podařilo odhalit a s naměřenými výsledky jsem spokojen.

Literatura

- [1] Vojáček Antonín, *Principy akcelerometrů* 1,
<http://automatizace.hw.cz/clanek/2007011401>
- [2] Weigl, Martin: Měření vibrací: Vibration measurement. Brno: Vysoké učení technické, Fakulta strojního inženýrství, 2011. Bakalářská práce. Vedoucí práce Ing. MARTIN MUSIL, Ph.D.
- [3] Bruel&Kjaer <http://www.bksv.com/>
- [4] NI CompactRIO Developers Guide, Dostupné z WWW:
<https://lumen.ni.com/nicif/us/infocriodevgudfull/content.xhtml>,
- [5] http://cs.wikipedia.org/wiki/Round-robin_scheduling
- [6] Vlach, J. a kol.: *Začínáme s LabVIEW*, BEN Praha 2008.
- [7] <http://sine.ni.com/nips/cds/view/p/lang/en/nid/208802>
- [8] <http://sine.ni.com/nips/cds/view/p/lang/en/nid/208806>
- [9] Fixed-Point (FXP) to Single (SGL) Conversion on LabVIEW FPGA, National Instruments,
<http://www.ni.com/white-paper/9221/en>
- [10] Technická univerzita Ostrava, Katedra mechaniky [online]. 2009 [cit. 2011-05-22].
Snímače Vibrací. Dostupné z WWW:
<http://www.337.vsb.cz/materialy/zaklady_experimentalni_mechaniky/EXPME_4.pdf>.
- [11] <http://rabas.ezin.cz/pamet-fronta-fifo-a-zasobnik-lifo.a28.html>
- [12] JURA, Pavel. Signály a systémy: Část 3: Diskrétní signály a diskrétní systémy [online].
Brno:FEKT VUT Brno, 2010 [cit. 2011-05-22]. Dostupné z WWW:
https://www.vutbr.cz/www_base/priloha.php?dpid=33242.
- [13] KANTOR, P. Měření a vyhodnocení pomocí Compact RIO a LabVIEW. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2011. 41 s. Vedoucí bakalářské práce Ing. Rostislav Huzlík.

Seznam obrázků

Obr.2.1 absolutní snímač vibrací [10].....	str. 10
Obr.2.2 blokové schéma ICP akcelerometru [1]	str. 12
Obr. 2.3 B&K 4508B [3].....	str. 14
Obr. 2.4 Pulse [3]	str. 15
Obr. 3.1 FPGA [4].....	str. 16
Obr. 3.2 příklad realizace dvou funkcí v FPGA [4].....	str. 17
Obr. 3.3 proces kompilace VI pro FPGA [4].....	str. 18
Obr. 4.1 CompactRIO [4].....	str. 20
Obr. 4.2 NI-9234 [7]	str. 22
Obr. 4.3 NI-9263 [8]	str. 23
Obr. 6.1 FIFO [11]	str. 28
Obr. 6.2 Čekání na požadavek přerušení	str. 28
Obr. 6.3 příkaz Mod1/Start	str. 29
6.4 Ukládání dat do FIFO paměti	str. 29
Obr. 6.5 Pokyn k ukončení vzorkování.....	str. 30
Obr 6.6 data přenesena	str. 30
Obr. 6.7 Přední okno aplikace	str. 31
Obr. 6.8 Read/Write Control	str. 32
Obr. 6.9 rwfm_CreateChan.vi	str. 32
Obr. 6.10 rwfm_ConfigTiming(poly).vi	str. 32
Obr. 6.11 rwfm_BufferCfg.vi	str. 32
Obr. 6.12 rwfm_Start.vi	str. 33
Obr. 6.13 rwfm_Read(poly).vi	str. 33
Obr. 6.14 rwfm_Stop.vi	str. 33
Obr. 6.15 FFT Spectrum	str. 34
Obr. 6.16 Sine Wave Generator VI.....	str. 35
Obr. 6.17 Naměřené hodnoty a průběhy na cRIO	str. 36
Obr. 6.18 Naměřené hodnoty a průběhy na Labshop Pulse.....	str. 37

Seznam zkratek

FPGA	Field of Programmable Gate Array
PLC	Programmable Logic Controller
PC	Personal Computer
ICP	Integrated circuit piezoelectric
IEPE	Integrated Electronics Piezo Electric
VI	Virtual Instrumentation
TEDS	Transducer Electronic Data Sheet
FFT	Fast Fourier Transform
FIFO	First In First Out

Seznam příloh

Příloha 1. CD

Příloha 1:

Obsah cd:

Dokument závěrečné práce.....BP_psencik.pdf
Archiv se zdrojovými kódy aplikace.....BP_Mereni_vibraci.zip
Archiv s porovnáními výsledů.....BP_Porovnani.zip